



(WO/2002/048901) METHOD AND CIRCUIT ARRANGEMENT FOR CARRYING OUT A FAST FOURIER TRANSFORMATION AND THE USE THEREOF

Biblio. Data Description Claims National Phase Notices Documents

Latest bibliographic data on file with the International Bureau

Pub. No.: WO/2002/048901 International Application No.: PCT/EP2001/014536
Publication Date: 20.06.2002 International Filing Date: 11.12.2001

IPC: G06F 17/14 (2006.01)

Applicants: IHP GMBH-INNOVATIONS FOR HIGH PERFORMANCE MICROELECTRONICS/INSTITUT FÜR
INNOVATIVE MIKROELEKTRONIK [DE/DE]; Im Technologiepark 25 15236 Frankfurt (Oder) (DE) (All
Except US).
MAHARATNA, Koushik [DE/DE]; (DE) (US Only).
GRASS, Eckhard [DE/DE]; (DE) (US Only).
JAGDHOLD, Ulrich [DE/DE]; (DE) (US Only).

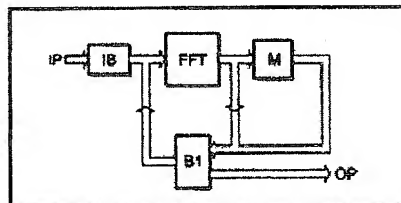
Inventors: MAHARATNA, Koushik; (DE).
GRASS, Eckhard; (DE).
JAGDHOLD, Ulrich; (DE).

Agent: EISENFÜHR, SPEISER & PARTNER; Anna-Louisa-Karsch-Str. 2 10178 Berlin (DE).

Priority Data: 100 62 759.5 13.12.2000 DE

Title: (EN) METHOD AND CIRCUIT ARRANGEMENT FOR CARRYING OUT A FAST FOURIER
TRANSFORMATION AND THE USE THEREOF
(DE) VERFAHREN UND SCHALTUNGSANORDNUNG ZUR DURCHFÜHRUNG EINER FAST FOURIER
TRANSFORMATION SOWIE ANWENDUNG DERSELBEN

Abstract: (EN) The invention relates to a method and a circuit
arrangement for carrying out a fast Fourier
transformation, in particular a complex 64 point fast
Fourier transformation on the basis of a complex 8
point fast Fourier transformation, and to the use
thereof. The circuit arrangement for carrying out a fast
Fourier transformation consists of the following,
connected in parallel or series: input buffers (IB), FFT
blocks (FFT), which work on the basis of the
decomposition of a 64 point fast Fourier transformation
into an 8 point fast Fourier transformation and which
carry out multiplications using additions, subtractions and shift register operations, the required
coefficients forming an implemented part of the FFT block (FFT), a multiplier (M), which only carries out
multiplications on the basis of additions, subtractions and shift register operations and buffers (B1/B2),
which act both as intermediate memories and as data output memories (OP).



(DE) Die Erfindung betrifft ein Verfahren und Schaltungsanordnung zur Durchführung einer Fast
Fourier Transformation insbesondere einer komplexen 64-Punkt Fast Fourier Transformation auf der
Basis einer komplexen 8-Punkt Fast Fourier Transformation sowie Anwendung derselben. Die
Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation besteht aus parallel oder
seriell angeordneten Inputbuffern (IB), FFT-Blöcken (FFT), wobei diese auf der Dekomposition einer
64-Punkt Fast Fourier Transformation auf der Basis einer 8-Punkt Fast Fourier Transformation basiert
und Multiplikationen durch die Verwendung von Addition und Subtraktion und
Schieberegisteroperationen durchführt und die benötigten Koeffizienten fest in dem FFT-Block (FFT)
implementiert sind, einem Multiplizierer (M), wobei dieser Multiplikationen nur aus Additionen,
Subtraktionen und Schieberegisteroperationen durchführt und Buffern (B1/B2), welche sowohl als
Zwischenspeicher als auch als Datenausgangsspeicher (OP) dienen.

Designated JP, US.

States: European Patent Office (EPO) (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE,
TR).

Publication Language: German (DE)

Filing Language: German (DE)

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. Juni 2002 (20.06.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/48901 A2

(51) Internationale Patentklassifikation⁷: G06F 17/00

(21) Internationales Aktenzeichen: PCT/EP01/14536

(22) Internationales Anmeldedatum:
11. Dezember 2001 (11.12.2001)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
100 62 759.5 13. Dezember 2000 (13.12.2000) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): IHP GMBH-INNOVATIONS FOR HIGH

PERFORMANCE MICROELECTRONICS/INSTITUT FÜR INNOVATIVE MIKROELEKTRONIK
[DE/DE]; Im Technologiepark 25, 15236 Frankfurt (Oder)
(DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): MAHARATNA,
Koushik [DE/DE]; Alice-Berend-Str. 3, 10557 Berlin
(DE). GRASS, Eckhard [DE/DE]; Nickelswalder Strasse
2, 12589 Berlin (DE). JAGDHOLD, Ulrich [DE/DE];
Wimpinistr. 12, 15234 Frankfurt (Oder) (DE).

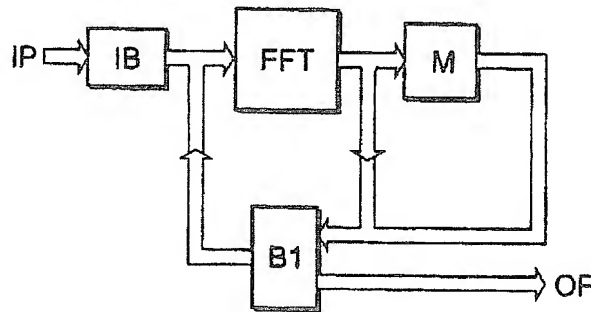
(74) Anwalt: EISENFÜHR, SPEISER & PARTNER; Pacel-
lallee 43/45, 14195 Berlin (DE).

(81) Bestimmungsstaaten (national): JP, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND CIRCUIT ARRANGEMENT FOR CARRYING OUT A FAST FOURIER TRANSFORMATION AND
THE USE THEREOF

(54) Bezeichnung: VERFAHREN UND SCHALTUNGSANORDNUNG ZUR DURCHFÜHRUNG EINER FAST FOURIER
TRANSFORMATION SOWIE ANWENDUNG DERSELBEN



(57) Abstract: The invention relates to a method and a circuit arrangement for carrying out a fast Fourier transformation, in particular a complex 64 point fast Fourier transformation on the basis of a complex 8 point fast Fourier transformation, and to the use thereof. The circuit arrangement for carrying out a fast Fourier transformation consists of the following, connected in parallel or series: input buffers (IB), FFT blocks (FFT), which work on the basis of the decomposition of a 64 point fast Fourier transformation into an 8 point fast Fourier transformation and which carry out multiplications using additions, subtractions and shift register operations, the required coefficients forming an implemented part of the FFT block (FFT), a multiplier (M), which only carries out multiplications on the basis of additions, subtractions and shift register operations and buffers (B1/B2), which act both as intermediate memories and as data output memories (OP).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren und Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation insbesondere einer komplexen 64-Punkt Fast Fourier Transformation auf der Basis einer komplexen 8-Punkt Fast Fourier Transformation sowie Anwendung derselben. Die Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation besteht aus parallel oder seriell angeordneten Inputbuffern (IB), FFT-Blöcken (FFT), wobei diese auf der Dekomposition einer 64-Punkt

[Fortsetzung auf der nächsten Seite]

WO 02/48901 A2

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

— hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten JP, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Fast Fourier Transformation auf der Basis einer 8-Punkt Fast Fourier Transformation basiert und Multiplikationen durch die Verwendung von Addition und Subtraktion und Schieberegisteroperationen durchführt und die benötigten Koeffizienten fest in dem FFT-Block (FFT) implementiert sind, einem Multiplizierer (M), wobei dieser Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durchführt und Buffern (B1/B2), welche sowohl als Zwischenspeicher als auch als Datenausgangsspeicher (OP) dienen.

Verfahren und Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation sowie Anwendung derselben.

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation, insbesondere einer komplexen 64-Punkt Fast Fourier Transformation auf der Basis einer komplexen 8-Punkt Fast Fourier Transformation sowie Anwendung derselben gemäß den Merkmalen der Ansprüche 1 bis 7.

Die Fourier Transformation wird in vielen Bereichen wie z. B. Optik, Wahrscheinlichkeitsrechnung, Quantenmechanik, Signaltheorie, Nachrichtentechnik und vielen anderen Bereichen eingesetzt. In vielen Fällen wird eine schnelle - im Sinne der Verarbeitung - Implementierung der FFT/IFFT benötigt. Bei der Datenübertragung mobiler Systeme, wie IEEE802.11a und HiperLAN2, wird zudem noch

eine energieeffiziente Lösung gefordert. Die meisten Implementierungen sind mit dem von Cooley und Tukey erfundenen Verfahren durchgeführt worden und beispielsweise in J. W. Cooley and J. W. Tukey, Math. Computation, vol. 19, pp. 297-301, 1965 beschrieben. Diese verwenden eine hohe Anzahl von Multiplikationen, welche einen relativ hohen Energieverbrauch verursachen.

Auch sind Verfahren bekannt, wie etwa die Dekomposition der FFT in Untereinheiten (kleinere FFTs), die dann mit Hilfe einer Drehoperation wieder zu einer größeren zusammengesetzt werden. Ein Beispiel finden wir unter G. D. Bergland, Math. Computation, Vol 22, April 1968, p. 275-279. Eine ähnliche Methode, die Zerlegung von FFT mit Hilfe einer 4-Punkt-FFT, wird in B. Suter, K. Stevens, United States Patent Pat. Nr. 5831883, Nov. 3 1998 beschrieben. Dabei werden die Multiplikationen der 4-Punkt-FFT durch einen konventionellen (asynchronen) sequentiellen Multiplizierer oder einen Booth Multiplizierer realisiert.

Die beschriebenen bekannten Implementierungsvarianten führen zu einer hohen Anzahl von Multiplikations- und Additionsoperationen. Die hohe Anzahl notwendiger Multiplizierer und Addierer sowie die Komplexität des Verfahren verursachen einen relativ hohen Energieverbrauch, begrenzt die Verarbeitungsleistung und benötigt eine hohe Chipfläche.

Aufgabe der Erfindung ist es deshalb, die beschriebenen Nachteile des Standes der Technik zu beseitigen und eine Vorrichtung und ein Verfahren mit geringer Rechenzeit, hoher Energieeffizienz und geringem Speicherplatzbedarf vorzuschlagen.

Eine erfindungsgemäße Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation besteht aus einem oder mehreren parallel oder seriell angeordneten Inputbuffern (IB), einem oder mehreren FFT-Blöcken (FFT), wobei dieser/diese auf der Dekomposition einer 64-Punkt Fast Fourier Transformation auf

der Basis einer 8-Punkt Fast Fourier Transformation basiert und Multiplikationen durch die Verwendung von Addition und Subtraktion und Schieberegisteroperationen durchführt und die benötigten Koeffizienten fest in dem FFT-Block (FFT) implementiert sind, einem Multiplizierer (M), wobei dieser Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durchführt und einem oder mehreren Buffern (B1/B2), welcher sowohl als Zwischenspeicher als auch als Datenausgangsspeicher (OP) dient.

Bei dem erfindungsgemäßen Verfahren werden Datensignale in einem oder mehreren parallel angeordneten Inputbuffern (IB) eingelesen, stehen am Ausgang des Inputbuffers (IB) parallel zur Verfügung und werden in Blöcken an einen FFT-Block (FFT) übertragen. Der FFT-Block (FFT) führt eine Transformation basierend auf der Dekomposition einer 64-Punkt Fast Fourier Transformation in eine 8-Punkt Fast Fourier Transformation aus, wobei Multiplikationen intern durch die Verwendung von Addition, Subtraktion und Schieberegisteroperationen und die Transformationen mittels in dem FFT-Block (FFT) implementierten Koeffizienten durchführt werden. Die aus dem FFT-Block (FFT) seriell vorliegenden Datensignale durchlaufen einen Multiplizierer (M), wobei dieser Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durchführt, und werden in einem Buffer (B1) zwischengespeichert. Die aus dem FFT-Block (FFT) seriell vorliegenden Datensignale, die im Multiplizierer (M) mit 1 zu multiplizieren wären, werden unter Umgehung des Multiplizierers (M) direkt in dem Buffer (B1) zwischengespeichert. Die am Ausgang des Buffers (B1) parallel zur Verfügung stehenden Datensignale werden wiederum in den FFT-Block (FFT) oder in einen zweiten FFT-Block (FFT) eingeschrieben. Bei der gemultiplexten Varianten werden die Datensignale nach Durchlaufen des FFT-Blocks (FFT) unter Umgehung des Multiplizierers (M) und Zwischenspeicherung im Buffer (B1) seriell am Ausgang (OP) ausgelesen. Bei der „gepipelineten“ Variante werden die Datensignale nach Durchlaufen des weiteren FFT-Blocks (FFT) unter Umgehung des Multiplizierers (M) und Zwischenspeicherung in einem zweiten Buffer (B2) seriell

am Ausgang (OP) ausgelesen.

Der Multiplizierer (M) führt Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durch und kann mehrere Multiplikationsoperationen parallel ausführen. Eine inverse Fast Fourier Transformation wird durch Vertauschen von Imaginärteil und Realteil der Datensignale sowohl am Eingang (IP) als auch am Ausgang (OP) erzeugt. Unter Umgehung oder Entfernung des Multiplizierers (M) und Änderung der Koeffizienten innerhalb der FFT-Blöcke wird eine diskrete 8x8-Punkt Kosinus- und/oder Sinus-Transformation durchgeführt.

Die Vorteile der erfindungsgemäßen Lösung beruhen in:

- der schnelleren Implementierung, geringer Rechenzeit, hoher Energieeffizienz und geringerem Speicherplatzbedarf, d. h. sie ist energiesparender, platzsparend und schneller,
- die Implementierung dieser Methode kann als Verfahren für elektrische Schaltkreise wie z. B. CPU's, Controller, DSP's oder auch direkt als elektrisch funktionierende Schaltung angewendet werden,
- wegen der reduzierten Komplexität - weniger Multiplizierer - sind die Rundungsfehler geringer,
- bei der Implementierung als elektrisch funktionierende Schaltung kann man auf die Anwendung eines globalen Speichers verzichten,
- die Koeffizienten im FFT-Block (FFT) sind fest implementiert und
- es werden weniger Koeffizienten im Multiplizierer (M) benötigt.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden im

Folgenden näher erläutert. Die Zeichnungen zeigen:

Fig. 1 Blockschaltbild mit einem Inputbuffer (IB), einem 8-Punkt FFT-Block (FFT) einem Buffer (B), die gemultiplexte Ausführungsvariante der FFT

Fig. 2 Blockschaltbild mit einem Inputbuffer (IB), zwei 8-Punkt FFT-Blöcken (FFT) und zwei Buffern (B1/B2), die „gepipelinate“ Ausführungsvariante der FFT

Beispiel 1:

In diesem Ausführungsbeispiel, dargestellt in Figur 1, werden die zu verarbeitenden Daten am Eingang (IP) der Anordnung zunächst im Inputbuffer (IB) gespeichert und dann in Achtergruppen der 8-Punkt FFT zur Verarbeitung zugeführt. Im Anschluss an diese Berechnung wird eine Drehoperation im Komplex Multiplizierer (M) durchgeführt und die Daten werden im Buffer (B1) gespeichert. Dieser Vorgang wird so lange wiederholt, bis alle Inputdaten verarbeitet sind, d. h. bei einer 64-FFT genau 8 mal. Danach erfolgt nach dem oben beschriebenen Schema eine weitere 8-Punkt FFT der Daten aus Buffer (B1). Am Ende aller Berechnungen liegen die Daten im Buffer (B1) und werden am Ausgang (OP) ausgelesen. Es sind ein 8-Punkt FFT-Block (FFT) und ein Buffer (B1) sowie ein Multiplizierer (M) notwendig.

Beispiel 2:

Die Figur 2 zeigt eine Schaltungsanordnung mit einem Inputbuffer (IB), zwei 8-Punkt FFT-Blöcken (FFT) und zwei Speichern. In dieser Ausführungsvariante werden die Daten zunächst über einen Inputbuffer (IB) an einen 8-Punkt FFT-Block (FFT) übergeben. Am Ausgang erfolgt eine Multiplikation und Zwischenspeicherung im Buffer (B1). Danach wird eine weitere 8-Punkt FFT in einem weiteren 8-Punkt FFT-Block (FFT) ausgeführt. Die Daten werden dann in einen Buf-

fer (B2) geschrieben. Dieser dient als Ausgangsbuffer. Die Daten werden am Ausgang (OP) ausgelesen. Es sind zwei 8-Punkt FFT-Blöcke (FFT) und zwei Buffer (B1/B2) sowie ein Multiplizierer (M) notwendig.

Beispiel 3:

In Abwandlung zu den Beispielen 1 und 2 werden in einer weiteren Ausführungsvariante zwei parallele Inputbuffer (IB) verwendet, wodurch ein erhöhter Datendurchsatz erreicht wird. Die serien-parallel Wandlung der nächsten 64 Daten kann beginnen, bevor die aktuelle FFT-Operation abgeschlossen ist.

Beispiel 4:

In Abwandlung zu den Beispielen 1 bis 3 wird eine inverse Fast Fourier Transformation durch Vertauschen von Imaginärteil und Realteil der Datensignale sowohl am Eingang (IP) als auch am Ausgang (OP) erzeugt.

Beispiel 5:

In Abwandlung zu den Beispielen 1 bis 3 werden unter Umgehung oder Entfernung des Multiplizierers (M) und Änderung der Koeffizienten innerhalb der FFT-Blöcke eine diskrete 8x8-Punkt Kosinus und oder Sinus Transformationen durchgeführt.

Die Schaltungsanordnung zur Durchführung des in den Beispielen 1 bis 5 beschriebenen Verfahrens besteht aus einem oder mehreren parallel angeordneten Inputbuffern (IB), einem oder mehreren FFT-Blöcken (FFT), wobei dieser auf der Dekomposition einer 64-Punkt Fast Fourier Transformation in eine 8-Punkt Fast Fourier Transformation basiert und Multiplikationen durch die Verwendung von Addition und Subtraktion und Schieberegisteroperationen durchführt und die benötigten Koeffizienten fest in dem FFT-Block (FFT) implementiert sind, einem Multiplizierer (M), wobei dieser Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durchführt und einem oder mehreren Buf-

fern (B1/B2), welche sowohl als Zwischenspeicher als auch als Daten-Ausgangsbuffer für den Ausgang (OP) dienen und ist in den Figuren 1 bis 2 dargestellt.

Zur Anwendung kommt das Verfahren, wie in den Beispielen, unter anderem in der Telekommunikation, bei der Datenkompression, in der Optik, bei der Wahrscheinlichkeitsrechnung, in der Quantenmechanik, in der Signaltheorie und in der Nachrichtentechnik.

In der vorliegenden Beschreibung wurde anhand konkreter Ausführungsbeispiele ein Verfahren und eine Schaltungsanordnung zur Durchführung einer Fast Fourier Transformation, insbesondere einer komplexen 64-Punkt Fast Fourier Transformation auf der Basis einer 8-Punkt Fast Fourier Transformation sowie Anwendungen derselben erläutert. Es sei aber vermerkt, dass die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen beschränkt ist.

Patentansprüche

1. Verfahren zur Durchführung einer Fast Fourier Transformation von Datensignalen, bei dem
 - Datensignale in einem oder mehreren parallel angeordneten Inputbuffern (IB) eingelesen werden,
 - die Datensignale am Ausgang des Inputbuffers (IB) parallel zur Verfügung stehen,
 - die am Ausgang der Inputbuffer (IB) parallel zur Verfügung stehenden Datensignale in Blöcken an einen FFT-Block (FFT) übertragen werden,
 - der FFT-Block (FFT) eine Transformation basierend auf der Dekomposition einer 64-Punkt Fast Fourier Transformation in eine 8-Punkt Fast Fourier Transformation durchführt,
 - der FFT-Block (FFT) Multiplikationen intern durch die Verwendung von Addition und Subtraktion und Schieberegisteroperationen durchführt,
 - der FFT-Block (FFT) die Transformation mittels in dem FFT-Block (FFT) implementierten Koeffizienten durchführt,
 - die aus dem FFT-Block (FFT) seriell vorliegenden Datensignale einen Multiplizierer (M) durchlaufen und nach Durchlauf des Multiplizierers (M) in einem Buffer (B1) zwischengespeichert werden,
 - die aus dem FFT-Blocks (FFT) seriell vorliegenden Datensignale, die im Multiplizierer (M) mit 1 zu multiplizieren wären, unter Umgehung des Multiplizierers (M) direkt in dem Buffer (B1) zwischengespeichert werden,
 - die in dem Buffer (B1) zwischen gespeicherten Datensignale am Ausgang des Buffers (B1) parallel zur Verfügung stehen,
 - diese parallelen Datensignale aus dem Buffer (B1) wiederum in den FFT-Block (FFT) eingeschrieben werden,
 - die Datensignale nach Durchlaufen des FFT-Blocks (FFT) unter Umgehung des Multiplizierers (M) in den Buffer (B1) zwischengespeichert und
 - die Datensignale aus dem Buffer (B1) seriell am Ausgang (OP) ausgelesen werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass
 - die am Ausgang der Inputbuffer (IB) parallel zur Verfügung stehenden Datensignale in Blöcken an einen FFT-Block (FFT) übertragen werden,
 - die aus dem FFT-Block (FFT) seriell vorliegenden Datensignale einen Multiplizierer (M) durchlaufen,
 - die Datensignale nach Durchlauf des Multiplizierers (M) in einem Buffer (B1) zwischengespeichert werden,
 - die aus dem FFT-Block (FFT) seriell vorliegenden Datensignale, die im Multiplizierer (M) mit 1 zu multiplizieren wären unter Umgehung des Multiplizierers (M) direkt in dem Buffer (B1) zwischengespeichert werden,
 - die in dem Buffer (B1) zwischengespeicherten Datensignale am Ausgang des Buffers (B1) parallel zur Verfügung stehen,
 - diese parallelen Datensignale aus dem Buffer (B1) in einen weiteren FFT-Block (FFT) eingeschrieben werden,
 - die Datensignale nach durchlaufen des weiteren FFT-Blocks (FFT) in einem Buffer (B2) zwischengespeichert werden, am Ausgang des Buffers (B2) parallel zur Verfügung stehen und
 - die Datensignale aus dem Buffer (B2) seriell am Ausgang (OP) ausgelesen werden.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Multiplizierer (M) Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durchführt und mehrere Multiplikationsoperationen parallel ausführen kann.
4. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, dass eine Inverse Fast Fourier Transformation durch Vertauschen von Imaginärteil und Realteil der Datensignale sowohl am Eingang (IP) als auch am Ausgang (OP) erzeugt wird.

5. Verfahren nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, dass unter Umgehung oder Entfernung des Multiplizierers (M) und Änderung der Koeffizienten innerhalb der FFT-Blöcke eine diskrete 8x8-Punkt Kosinus- und/oder Sinus-Transformation durchgeführt wird.
6. Schaltungsanordnung zur Durchführung des in den Ansprüchen 1 bis 5 beschriebenen Verfahrens, bestehend aus einem oder mehreren parallel oder seriell angeordneten Inputbuffern (IB), einem oder mehreren FFT-Blöcken (FFT), wobei dieser/diese auf der Dekomposition einer 64-Punkt Fast Fourier Transformation auf der Basis einer 8-Punkt Fast Fourier Transformation basiert und Multiplikationen durch die Verwendung von Addition und Subtraktion und Schieberegisteroperationen durchführt und die benötigten Koeffizienten fest in dem FFT-Block (FFT) implementiert sind, einem Multiplizierer (M), wobei dieser Multiplikationen nur aus Additionen, Subtraktionen und Schieberegisteroperationen durchführt und einem oder mehreren Buffern (B1/B2), welcher sowohl als Zwischenspeicher als auch als Datenausgangsspeicher (OP) dient.
7. Anwendung des in den Ansprüchen 1 bis 5 beschriebenen Verfahrens mit der in Anspruch 6 beschriebenen Schaltungsanordnung in der Telekommunikation, bei der Datenkompression, in der Optik, bei der Wahrscheinlichkeitsrechnung, in der Quantenmechanik, in der Signaltheorie und in der Nachrichtentechnik.

1/1

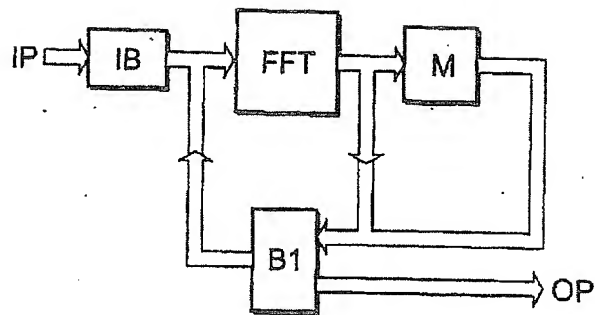


Fig. 1

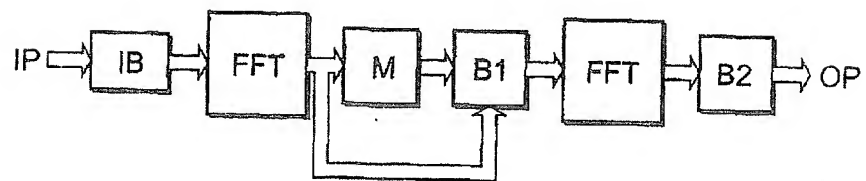


Fig. 2